
Master thesis : Efficient HDL high-level synthesis for FPGA-accelerated CPUs and case study of an image transform kernel

Auteur : Tosi, Pierre-Clément

Promoteur(s) : Boigelot, Bernard

Faculté : Faculté des Sciences appliquées

Diplôme : Master en ingénieur civil électricien, à finalité spécialisée en "electrical engineering"

Année académique : 2016-2017

URI/URL : <http://hdl.handle.net/2268.2/2577>

Avertissement à l'attention des usagers :

Tous les documents placés en accès ouvert sur le site le site MatheO sont protégés par le droit d'auteur. Conformément aux principes énoncés par la "Budapest Open Access Initiative"(BOAI, 2002), l'utilisateur du site peut lire, télécharger, copier, transmettre, imprimer, chercher ou faire un lien vers le texte intégral de ces documents, les disséquer pour les indexer, s'en servir de données pour un logiciel, ou s'en servir à toute autre fin légale (ou prévue par la réglementation relative au droit d'auteur). Toute utilisation du document à des fins commerciales est strictement interdite.

Par ailleurs, l'utilisateur s'engage à respecter les droits moraux de l'auteur, principalement le droit à l'intégrité de l'oeuvre et le droit de paternité et ce dans toute utilisation que l'utilisateur entreprend. Ainsi, à titre d'exemple, lorsqu'il reproduira un document par extrait ou dans son intégralité, l'utilisateur citera de manière complète les sources telles que mentionnées ci-dessus. Toute utilisation non explicitement autorisée ci-avant (telle que par exemple, la modification du document ou son résumé) nécessite l'autorisation préalable et expresse des auteurs ou de leurs ayants droit.

-
- **Titre:** Master thesis : Efficient HDL high-level synthesis for FPGA-accelerated CPUs and case study of an image transform kernel
 - **Nom:** Tosi
 - **Prénom:** Pierre-Clément
 - **Section:** Master of Science in Electrical Engineering
 - **Année Académique:** 2016-2017
 - **Promoteur:** Boigelot, Bernard
 - **Synthèse:** This thesis consists of two relatively distinct works. In the first part, we improve the performance of an open-source medical image processing pipeline used for drug development through the use of an FPGA accelerator interfaced with the main processor. In the process, we identify the bottlenecks, study potential mathematical improvements to the internal algorithm and discuss highly parallel and pipelined approaches to be implemented in the FPGA.

The second part of this thesis introduces a research project (from Stanford University and EPFL) for automatic generation of high performance hardware implementations from specifically designed high-level languages, for targeting among other parallel circuits, FPGAs. The application from the first part of the thesis is used as a testing platform for this tool-chain by implementing the algorithm in the provided high-level language. The resulting hardware system is then analyzed from which potential improvements to the tool-chain (and in particular, the high-level language) are deduced and presented.